

BEST AVAILABLE COPY

Attorney's Docket No.: 12732-062001 / US5117/5216/5217

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Shunpei Yamazaki
Serial No. : Unassigned
Filed : July 31, 2001
Title : SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD
THEREFOR

Art Unit : Unknown
Examiner : Unknown

Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following applications:

Japan Application No. 2000-236881 filed August 4, 2000

Japan Application No. 2000-283944 filed September 19, 2000

Japan Application No. 2000-283998 filed September 19, 2000

A certified copy of each application from which priority is claimed is submitted herewith.
Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: July 31, 2001



John F. Hayden
Reg. No. 37,640

Fish & Richardson P.C.
601 Thirteenth Street, NW
Washington, DC 20005
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

40064067.doc

jc971 U.S. PTO

09/917677



日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC971 U.S. PTO
09/917677
07/31/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 8月 4日

出 願 番 号

Application Number:

特願2000-236881

出 願 人

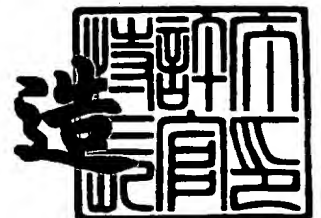
Applicant(s):

株式会社半導体エネルギー研究所

2001年 6月12日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3055056

【書類名】 特許願

【整理番号】 P005117

【提出日】 平成12年 8月 4日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 発光装置およびその作製方法

【特許請求の範囲】

【請求項 1】

金属表面を有する基板上に絶縁膜と、該絶縁膜上に発光素子とを有し、
前記発光素子は、陽極、陰極、並びに前記陽極と前記陰極との間に挟まれた E
L 材料とを備えたことを特徴とする発光装置。

【請求項 2】

金属表面を有する基板上に絶縁膜と、該絶縁膜上に発光素子とを有し、
前記発光素子は、陽極、陰極、並びに前記陽極と前記陰極との間に挟まれた E
L 材料とを備え、前記陰極に接して、または絶縁膜もしくは導電膜を介して、遮
光膜が設けられたことを特徴とする発光装置。

【請求項 3】

請求項 1 または請求項 2 において、前記金属表面を有する基板は、耐熱性金属基
板であることを特徴とする発光装置。

【請求項 4】

請求項 3 において、前記耐熱性基板の厚さは $5\ \mu\text{m} \sim 30\ \mu\text{m}$ であることを特徴
とする発光装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一において、前記金属表面を有する基板の表面粗さの
最大高さ (R_{max}) は、 $1\ \mu\text{m}$ 以下であることを特徴とする発光装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一において、前記金属表面を有する基板の表面に存在
する凸部の曲率半径は、 $1\ \mu\text{m}$ 以上であることを特徴とする発光装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一に記載された発光装置とは、ビデオカメラ、デジ
タルカメラ、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピ
ュータ、携帯情報端末であることを特徴とする発光装置。

【請求項 8】

金属表面を有する基板の端部を曲げて基板ホルダーと固定する工程と、
前記金属表面を有する基板上に絶縁膜を形成する工程と、
前記絶縁膜の上に発光素子を形成する工程と、
前記基板ホルダーを分離する工程と、
を有することを特徴とする発光装置の作製方法。

【請求項 9】

請求項 8 において、前記固定する工程は真空中で行うことを特徴とする発光装置の作製方法。

【請求項 1 0】

請求項 8 または請求項 9 において、前記固定する工程は室温～4 0 0℃で行うことを特徴とする発光装置の作製方法。

【請求項 1 1】

請求項 8 乃至 1 0 のいずれか一において、前記基板ホルダーの端部は曲面を有していることを特徴とする発光装置の作製方法。

【請求項 1 2】

請求項 8 乃至 1 1 のいずれか一において、前記基板ホルダーは、前記金属表面を有する基板と同じ熱膨張係数を有することを特徴とする発光装置の作製方法。

【請求項 1 3】

請求項 8 乃至 1 2 のいずれか一において、前記金属表面を有する基板は、耐熱性金属基板であることを特徴とする発光装置の作製方法。

【請求項 1 4】

請求項 1 3 において、前記耐熱性金属基板の厚さは $5\mu\text{m}$ ～ $30\mu\text{m}$ であることを特徴とする発光装置の作製方法。

【請求項 1 5】

請求項 8 乃至 1 4 のいずれか一において、前記基板ホルダーは、ステンレス、セラミック、または Al_2O_3 からなることを特徴とする発光装置の作製方法。

【請求項 1 6】

請求項 1 5 において、前記基板ホルダーの厚さは $500\mu\text{m}$ ～ $1000\mu\text{m}$ であることを特徴とする発光装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一対の電極（陽極および陰極）間に発光性材料からなる薄膜を挟んだ素子（以下、発光素子という）を有する装置（以下、発光装置という）に関する。特に、E L（Electro Luminescence）が得られる発光性材料からなる薄膜を用いた発光素子（以下、E L素子という）を有する発光装置に関する。

【0002】

【従来の技術】

近年、E L素子を有する発光装置（以下、E L発光装置という）の開発が進んでいる。E L発光装置にはパッシブマトリクス型とアクティブマトリクス型があるが、どちらもE L素子に電流を流すことによってE Lが得られる発光性材料からなる薄膜（発光層）を発光させるという原理で動作する。

【0003】

このようなE L表示装置を利用したアプリケーションは様々なものが期待されているが、特にE L表示装置の厚みが薄いこと、従って軽量化が可能であることにより携帯機器への利用が注目されている。そのため、フレキシブルなプラスチックフィルムの上に発光素子を形成することが試みられている。

【0004】

プラスチックフィルムの耐熱性が低いためプロセスの最高温度を低くせざるを得ず、結果的にガラス基板上に形成する時ほど良好な電気特性のT F Tを形成できないのが現状である。そのため、プラスチックフィルムを用いた高性能な発光装置は実現されていない。

【0005】

また、一般的なE L素子の構造を図16に示す。図16において、絶縁体11の上には陽極12、発光層13および陰極14が積層され、E L素子10を形成している。このとき、一般的には電子の供給源である陰極14には仕事関数の小さい金属電極が用いられ、正孔の供給源である陽極12には仕事関数が大きく、且つ、可視光に対して透明な酸化物導電膜（代表的にはI T O膜）が用いられる

。これは陰極 14 となる金属電極が可視光に対して不透明であるため、陽極を可視光に対して透明にしなければ、発光層で生成された光（以下、EL 光という）を観測できないからである。

【0006】

この場合、EL 光 15 は陽極 12 を直接透過して観測されるか、もしくは陰極 14 で反射された後に陽極 12 を透過して観測される。即ち、観測者 16 は発光層 13 が発光している画素において陽極 12 を透過した EL 光 15 を観測することができる。

【0007】

しかしながら、発光していない画素では入射した外光（発光装置の外部の光）17 が陰極の裏面（発光層に接する側の面）で反射され、陰極の裏面が鏡のように作用して外部の景色が観測面（観測者側に向かう面）に映るといった問題があった。また、この問題を回避するために、EL 発光装置の観測面に円偏光フィルムを貼り付け、観測面に外部の景色が映らないようにする工夫がなされているが、円偏光フィルムが非常に高価であるため、製造コストの増加を招くという問題があった。

【0008】

【発明が解決しようとする課題】

本発明は、上記問題点を鑑みてなされたものであり、本発明は、フレキシブルなフィルム上に発光素子を形成して軽量化して安価な EL 発光装置を提供することを課題とする。さらに、それを表示部として有する安価な電気器具を提供することを課題とする。

【0009】

また、円偏光フィルムを用いずに EL 発光装置の鏡面化を防ぐことを目的とし、それにより EL 発光装置の製造コストを低減して安価な EL 発光装置を提供することを課題とする。

【0010】

【課題を解決するための手段】

本発明は、素子形成基板としてプラスチック基板を用いるのではなく、厚さの

薄い金属基板を用い、フレキシブルな金属基板上に発光素子を形成して軽量化したEL発光装置を得ることを特徴としている。

【0011】

本明細書で開示する発明の構成は、

金属表面を有する基板上に絶縁膜と、該絶縁膜上に発光素子とを有し、

前記発光素子は、陽極、陰極、並びに前記陽極と前記陰極との間に挟まれたEL材料とを備えたことを特徴とする発光装置である。

【0012】

また、他の発明の構成は、

金属表面を有する基板上に絶縁膜と、該絶縁膜上に発光素子とを有し、

前記発光素子は、陽極、陰極、並びに前記陽極と前記陰極との間に挟まれたEL材料とを備え、前記陰極に接して、または絶縁膜もしくは導電膜を介して、遮光膜が設けられたことを特徴とする発光装置である。この遮光膜とは、可視光に対する吸収係数の高い材料からなる薄膜を用いることができる。代表的には金属粒子もしくはカーボン粒子を分散させた絶縁膜（好ましくは樹脂膜）、反射率の低い金属膜（好ましくはチタン膜、窒化チタン膜、クロム膜、モリブデン膜、タングステン膜、タンタル膜もしくは窒化タンタル膜）または半導体膜を用いることができる。

【0013】

また、上記構成において、前記金属表面を有する基板は、耐熱性金属基板である。その耐熱性基板の厚さは $5\mu\text{m}\sim 30\mu\text{m}$ であることを特徴としている。また、前記金属表面を有する基板の表面粗さの最大高さ(R_{max})は、 $1\mu\text{m}$ 以下である。また、前記金属表面を有する基板の表面に存在する凸部の曲率半径は、 $1\mu\text{m}$ 以上であることを特徴としている。

【0014】

また、上記構造を実現するため、本発明は、薄い金属基板の端部を曲げて、端部に曲率を持っている基板ホルダーに密着性よく真空中で固定した後、薄い金属基板上に発光素子を形成し、その後、基板ホルダーを分離することを特徴としている。

【0015】

また、上記構造を実現するための発明の構成は、
金属表面を有する基板の端部を曲げて基板ホルダーと固定する工程と、
前記金属表面を有する基板上に絶縁膜を形成する工程と、
前記絶縁膜の上に発光素子を形成する工程と、
前記基板ホルダーを分離する工程と、
を有することを特徴とする発光装置の作製方法である。

【0016】

また、前記固定する工程は真空中で行うことを特徴としている。また、前記固定する工程は室温～400℃で行うことを特徴としている。

【0017】

また、前記基板ホルダーの端部は曲面を有していることを特徴としている。また、前記基板ホルダーは、前記金属表面を有する基板と同じ熱膨張係数を有することを特徴としている。また、前記金属表面を有する基板は、耐熱性金属基板であることを特徴としている。また、前記耐熱性金属基板の厚さは5μm～30μmであることを特徴としている。また、前記基板ホルダーは、ステンレス、セラミック、またはAl₂O₃からなることを特徴としている。また、前記基板ホルダーの厚さは500μm～1000μmであることを特徴としている。

【0018】

なお、上記耐熱性金属基板とは、耐熱性を有する金属材料、例えばW、Ni、またはステンレス等からなる基板を指す。

【0019】

なお、本明細書中のステンレスとは、クロムを約12%以上含有する鋼（鉄と炭素の合金）を指しており、組成上、マルテンサイト系やフェライト系やオーステナイト系に大別できる。なお、Ti、Nb、Mo、Cu、Ni、またはSiから選ばれた一種または複数種を添加したステンレス鋼をも含む。

【0020】

【発明の実施の形態】

本願発明の実施形態について、以下に説明する。

【 0 0 2 1 】

まず、素子形成基板となる耐熱性を有する金属基板 1 0 2 と、基板ホルダー 1 0 1 とを用意する。金属基板 1 0 2（金属表面を有する基板）としては、ステンレス基板を用意する。この基板 1 0 2 の厚さは $10\ \mu\text{m} \sim 30\ \mu\text{m}$ のものを用いる。また、基板ホルダー 1 0 1 としては、金属基板 1 0 2 よりも厚いステンレス基板を用意する。この基板 1 0 1 の厚さは $500\ \mu\text{m} \sim 1000\ \mu\text{m}$ のものを用いる。また、基板ホルダー 1 0 1 としては、セラミックあるいはアルミナ (Al_2O_3) を用いることもできる。

【 0 0 2 2 】

次いで、図 1 (A) に示すように端部に少なくとも曲面を持つ基板ホルダー 1 0 1 と金属基板 1 0 2 とを基板間に空気が入らないように固定し、さらに固定部 1 0 3 を用いて金属基板 1 0 2 の端部を固定し、密着性をより強固なものとする。こうして、固定した状態を図 1 (B) に示した。ここでは、固定部 1 0 3 を枠とし、基板ホルダー 1 0 1 をはめ込むようにして接着材を用いることなく金属基板 1 0 2 を基板ホルダー 1 0 1 に固定した。また、固定部をテープ状またはバンド状として金属基板の端部を基板ホルダーに固定してもよい。なお、金属基板 1 0 2 を基板ホルダー 1 0 1 に密着させて固定する工程は、室温 $\sim 400^\circ\text{C}$ 、かつ真空中で行うことによって、両基板間に空気が入らないようにすることが好ましい。また、金属基板 1 0 2 に広げる力を加えながら基板ホルダーに被せ、必要があれば押し付けることで密着させてもよい。

【 0 0 2 3 】

また、固定後の金属基板における表面の凹凸の表面粗さの最大高さ (R_{max}) は、 $1\ \mu\text{m}$ 以下と平坦なものとするのが好ましい。なお、この最大高さ (R_{max}) は、J I S B - 0 6 0 1 によるものである。あるいは、固定後の金属基板における表面の凹凸の $1\ \text{mm}$ 平方当りの高低差が $1\ \mu\text{m}$ となることが好ましい。さらに、その凹凸の凸部の曲率半径は、 $1\ \mu\text{m}$ 以上、好ましくは $10\ \mu\text{m}$ 以上とする。また、金属基板における表面の平坦性を向上させる公知の技術、例えば CMP (ケミカルメカニカルポリッシング) と呼ばれる研磨工程を用いてもよい。

【 0 0 2 4 】

次いで、金属基板 1 0 2 上に下地絶縁膜を形成した後、その下地絶縁膜上に必要な素子を形成する。なお、簡略化のため下地絶縁膜の表面を平坦なものとして示しているが、実際には固定部と金属基板とが接触する部分に段差が生じる。素子形成基板がプラスチック基板であればプロセス温度が 3 5 0 °C 以下とする必要があったが、本発明は、素子形成基板が金属基板であるので 3 5 0 °C 以上の熱処理が可能である。なお、この素子形成工程の熱処理によって基板同士が分離しないように、基板ホルダーと金属基板との熱膨張係数を一致させることが好ましい。ここでは、駆動回路 1 0 4 と E L 素子を有する画素部 1 0 5 を形成した例を示す。(図 1 (C))

【 0 0 2 5 】

また、図 1 (C) に示した基板ホルダーの端部における曲率半径 r は、3 0 0 μ m 以上であり、3 0 c m 以下とする。

【 0 0 2 6 】

次いで、固定基板 1 0 6 を第 2 接着層 1 0 7 で貼り合わせる。(図 2 (A))
なお、ここでは E L 素子を外部からの水分や酸素等の侵入から保護するために固定基板 1 0 6 を用いたが、特に必要がなければ用いなくともよい。固定基板 1 0 6 としては、透光性を有する樹脂基板を用いればよく、片面もしくは両面に保護膜として D L C 膜を設けたものを用いてもよい。

【 0 0 2 7 】

次いで、裏面側から物理的手段、例えば、固定部 1 0 3 を除去することによって基板ホルダーを除去する。特に接着材を用いていないので分離しやすい。固定部を分離して基板ホルダーを分離する方法や、基板ホルダーと金属基板との間に対して流体（圧力が加えられた液体もしくは気体）を噴射することにより基板ホルダーを分離する方法を用いてもよい。ここでは、基板ホルダー及び金属基板の端部を切断することによって、基板ホルダーと金属基板を分離する。(図 2 (B))

【 0 0 2 8 】

そして、最終的には、薄い金属基板 1 0 8 である素子形成基板と樹脂基板である固定基板とで挟まれた発光装置が完成する。

【 0 0 2 9 】

なお、図 1 及び図 2 では、簡略化のために基板ホルダーの端部と T F T 素子とをあまり離さずに図示したが、実際には十分距離を離れたほうが好ましい。

【 0 0 3 0 】

なお、図 1 及び図 2 では、簡略化のために基板ホルダーの端部と T F T 素子とをあまり離さずに図示したが、実際には十分距離を離れたほうが好ましい。

【 0 0 3 1 】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【 0 0 3 2 】

【実施例】

〔実施例 1〕

本実施例は、薄い金属基板である素子形成基板と樹脂基板である固定基板とで挟まれた発光装置の作製方法の一例を図 1 及び図 2 を用いて示す。ただし、本発明が本実施例に限定されないことはいうまでもない。

【 0 0 3 3 】

まず、基板ホルダー 1 0 1 としてステンレス基板（J I S S U S 3 0 4 または J I S S U S 3 1 6）を用いる。そして、上記実施の形態に示した方法を用いて、基板ホルダー 1 0 1 と薄い金属基板（J I S S U S 3 0 4 または J I S S U S 3 1 6）である素子形成基板 1 0 2 とを固定部 1 0 3 で固定した。（図 1（B））

【 0 0 3 4 】

次いで、金属基板 1 0 2 上に下地絶縁膜を形成した後、その下地絶縁膜上に必要な素子を形成する。ここでは、駆動回路 1 0 4 と E L 素子を有する画素部 1 0 5 を形成した例を示す。（図 1（C））

【 0 0 3 5 】

下地絶縁膜としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜（S i O x N y）、またはこれらの積層膜等を 1 0 0 ~ 5 0 0 n m の膜厚範囲で用いることができ、形成手段としては公知の成膜方法（熱 C V D 法、プラズマ C

VD法、蒸着法、スパッタ法、減圧熱CVD法等）を用いる。ここでは、膜組成において酸素元素より窒素元素を多く含む酸化窒化シリコン膜と、膜組成において窒素元素より酸素元素を多く含む酸化窒化シリコン膜を積層形成した。

【0036】

次いで、下地絶縁膜上に半導体層を形成する。半導体層の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム ($\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)) 合金などで形成すると良い。形成手段としては公知の成膜方法（熱CVD法、プラズマCVD法、蒸着法、スパッタ法、減圧熱CVD法等）を用いることができ、結晶化方法も公知の方法（固相成長法、レーザー結晶化法、触媒元素を用いた固相成長法等）を用いることができる。本実施例では、低温で成膜が可能なスパッタ法を用いて非晶質シリコン膜を形成し、レーザー結晶化法により結晶質シリコン膜を形成した。レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いることができる。

【0037】

次いで、半導体層を覆うゲート絶縁膜を公知の方法（熱CVD法、プラズマCVD法、蒸着法、スパッタ法、減圧熱CVD法等）で形成する。本実施例では、プラズマCVD法を用いて酸化シリコン膜を形成した。

【0038】

次いで、ゲート絶縁膜上に導電層を形成する。導電層は、導電膜を公知の手段（熱CVD法、プラズマCVD法、減圧熱CVD法、蒸着法、またはスパッタ法等）により成膜した後、マスクを用いて所望の形状にパターニングして形成する。

【0039】

次いで、イオン注入法またはイオンドーピング法を用い、半導体層にn型を付与する不純物元素またはp型を付与する不純物元素を適宜、添加してLDD領域やソース領域やドレイン領域を形成する不純物領域を形成する。

【0040】

その後、公知の方法（熱CVD法、プラズマCVD法、蒸着法、スパッタ法、減圧熱CVD法等）により作製される窒化シリコン膜、窒化酸化シリコン膜、ま

たは酸化シリコン膜により層間絶縁膜を形成する。また、添加された不純物元素は活性化処理を行う。ここでは、レーザー光の照射を行った。レーザー光の照射に代えて、加熱処理で活性化を行ってもよい。

【 0 0 4 1 】

次いで、公知の技術を用いてソース領域またはドレイン領域に達するコンタクトホールを形成した後、ソース電極またはドレイン電極を形成しTFTを得る。

【 0 0 4 2 】

次いで、公知の技術を用いて水素化処理を行い、全体を水素化してnチャネル型TFTまたはpチャネル型TFTが完成する。本実施例では比較的低温で行うことが可能な水素プラズマを用いて水素化処理を行った。

【 0 0 4 3 】

次いで、公知の方法（熱CVD法、プラズマCVD法、蒸着法、スパッタ法、減圧熱CVD法等）により作製される窒化シリコン膜、窒化酸化シリコン膜、または酸化シリコン膜により層間絶縁膜を形成する。次いで、公知の技術を用いて画素部のドレイン電極に達するコンタクトホールを形成した後、画素電極（陰極）を形成する。次いで、画素電極の両端にバンクを形成し、画素電極上にEL層およびEL素子の陽極を形成する。

【 0 0 4 4 】

次いで、画素部及び駆動回路に含まれる素子は全て絶縁膜で覆う。

【 0 0 4 5 】

次いで、素子形成基板に形成された素子を全て覆う絶縁膜と固定基板106とを第2接着層107で貼り合わせる。（図2（A））なお、ここではEL素子を外部からの水分や酸素等の侵入から保護するために固定基板106を用いたが、特に必要がなければ用いなくともよい。固定基板106としては、樹脂基板を用いればよく、片面もしくは両面に保護膜としてDLC膜を設けたものを用いてもよい。

【 0 0 4 6 】

次いで、裏面側から物理的手段、例えば、固定部103を除去することによって基板ホルダーを除去する。特に接着材を用いていないので分離しやすい。ここ

では、基板ホルダー及び金属基板の端部を切断することによって、基板ホルダーと金属基板を分離する。(図 2 (B))

【0047】

そして、最終的には、薄い金属基板である素子形成基板と樹脂基板である固定基板とで挟まれた発光装置が完成した。

【0048】

[実施例 2]

非晶質半導体膜の結晶化を助長する金属元素を用いて選択的に結晶質半導体膜を形成する方法を図 3 を用いて説明する。図 3 (A) において、200 は前述の下地絶縁膜である。

【0049】

まず、実施の形態に示した方法により、金属基板と基板ホルダーとを固定部で固定し、その上に下地絶縁膜 200 を形成する。次いで、下地絶縁膜 200 上に非晶質シリコン膜 201 を公知の方法で形成する。そして、非晶質シリコン膜 201 上に 150 nm の厚さの酸化シリコン膜 202 を形成する。酸化シリコン膜の作製方法は限定されないが、例えば、オルトケイ酸テトラエチル (Tetraethyl Ortho Silicate: TEOS) と O_2 とを混合し、反応圧力 40 Pa、基板温度 300 ~ 400 °C とし、高周波 (13.56 MHz) 電力密度 0.5 ~ 0.8 W/cm² で放電させ形成する。

【0050】

次に、酸化シリコン膜 202 に開孔部 203 を形成し、重量換算で 10 ppm のニッケルを含む酢酸ニッケル塩溶液を塗布する。これにより、ニッケル含有層 204 が形成され、ニッケル含有層 204 は開孔部 203 の底部のみで非晶質シリコン膜 201 と接触する。

【0051】

結晶化は、加熱処理の温度 500 ~ 650 °C で 4 ~ 24 時間、例えば 570 °C にて 14 時間の熱処理を行う。この場合、結晶化はニッケルが接した非晶質シリコン膜の部分が最初に結晶化し、そこから基板の表面と平行な方向に結晶化が進行する。こうして形成された結晶質シリコン膜 205 は棒状または針状の結晶が

集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長している。その後、酸化シリコン膜202を除去すれば結晶質シリコン膜205を得ることができる。

【0052】

なお、本実施例は実施例1と組み合わせることが可能である。

【0053】

〔実施例3〕

実施例2で説明する方法に従って作製される結晶質シリコン膜には結晶化において利用した金属元素が残存している。それは膜中において一様に分布していないにしても、平均的な濃度とすれば、 $1 \times 10^{19} / \text{cm}^3$ を越える濃度で残存している。勿論、このような状態でもTFTをはじめ各種半導体装置のチャネル形成領域に用いることが可能であるが、より好ましくは、ゲッタリングにより当該金属元素を除去することが望ましい。

【0054】

本実施例ではゲッタリング方法の一例を図4を用いて説明する。結晶質シリコン膜301の表面には、マスク用の酸化シリコン膜302が150nmの厚さに形成され、開孔部303が設けられ結晶質シリコン膜が露出した領域が設けられている。実施例2に従う場合には、図3(A)で示す酸化シリコン膜202をそのまま利用可能であり、図3(B)の工程の後からそのまま本実施例の工程に移行することもできる。そして、イオンドープ法によりリンを添加して、 $1 \times 10^{19} \sim 1 \times 10^{22} / \text{cm}^3$ の濃度のリン添加領域305を形成する。

【0055】

そして、図4(B)に示すように、窒素雰囲気中で550～800℃、5～24時間、例えば600℃にて12時間の熱処理を行うと、リン添加領域305がゲッタリングサイトとして働き、結晶質シリコン膜301に残存していた触媒元素はリン添加領域305に偏析させることができる。

【0056】

その後、図4(C)で示すようにマスク用の酸化シリコン膜302と、リンが添加領域305とをエッチングして除去することにより、結晶化の工程で使用し

た金属元素の濃度が $1 \times 10^{17} / \text{cm}^3$ 未満にまで低減された結晶質シリコン膜 306 を得ることができる。

【0057】

なお、本実施例は実施例1または実施例2と組み合わせることが可能である。

【0058】

〔実施例4〕

本実施例は、nチャネル型TFTとpチャネル型TFTとを相補的に組み合わせたCMOS回路を作製する例であり、図5、図6を用いて説明する。

【0059】

実施の形態に従って、固定部403で基板ホルダー401に固定した金属基板402上に下地絶縁膜404を形成した後、半導体層501、502を形成する。(図5(A))

【0060】

次いで、ゲート絶縁膜503と第1導電膜504と第2導電膜505を形成する。(図5(B)) 第1導電膜504及び第2導電膜505の材料としては、Ta、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例では、第1導電膜504を窒化タンタルまたはチタンで50～100nmの厚さに形成し、第2導電膜505をタングステンで100～300nmの厚さに形成する。

【0061】

次に図5(C)に示すように、レジストによるマスク506を形成し、ゲート電極を形成するための第1のエッチング処理を行う。エッチング方法に限定はないが、好適にはICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用いる。エッチング用ガスに CF_4 と Cl_2 を混合し、0.5～2Pa、好ましくは1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電

圧を印加する。 CF_4 と Cl_2 を混合した場合にはタングステン膜、窒化タンタル膜及びチタン膜の場合でも、それぞれ同程度の速度でエッチングすることができる。

【0062】

上記エッチング条件では、レジストによるマスクの形状と、基板側に印加するバイアス電圧の効果により端部をテーパ形状とすることができる。テーパ部の角度は $15 \sim 45^\circ$ となるようにする。また、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20\%$ 程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は $2 \sim 4$ （代表的には 3 ）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50 \text{ nm}$ 程度エッチングされる。こうして、第1のエッチング処理により第1導電膜と第2導電膜から成る第1形状の導電層507、508（第1の導電層507a、508aと第2導電層507b、508b）を形成する。509はゲート絶縁膜であり、第1の形状の導電層で覆われない領域は $20 \sim 50 \text{ nm}$ 程度エッチングされ薄くなる。

【0063】

そして、第1のドーピング処理を行いn型の不純物（ドナー）をドーピングする。（図5（D））その方法はイオンドープ法若しくはイオン注入法で行う。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} / \text{cm}^2$ として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いる。この場合、第1形状の導電層507、508はドーピングする元素に対してマスクとなり、加速電圧を適宜調節（例えば、 $20 \sim 60 \text{ keV}$ ）して、ゲート絶縁膜509を通過した不純物元素により不純物領域（n+領域）520、521を形成する。例えば、不純物領域（n+領域）におけるリン（P）濃度は $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の範囲となるようにする。

【0064】

さらに図6（A）に示すように第2のエッチング処理を行う。エッチングはICPエッチング法を用い、エッチングガスに CF_4 と Cl_2 と O_2 を混合して、 1 Pa の圧力でコイル型の電極に 500 W のRF電力（ 13.56 MHz ）を供給して

プラズマを生成する。基板側（試料ステージ）には50WのRF（13.56MHz）電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりタングステン膜を異方性エッチングし、第1の導電層である窒化タンタル膜またはチタン膜を残存させるようにする。こうして、第2形状の導電層512、513（第1の導電膜512a、513aと第2の導電膜512b、513b）を形成する。516はゲート絶縁膜であり、第2の形状の導電層512、513で覆われない領域はさらに20～50nm程度エッチングされて膜厚が薄くなる。

【0065】

そして、図6（C）に示すように第2のドーピング処理を行う。第1のドーピング処理よりもドーズ量を下げ高加速電圧の条件でn型の不純物（ドナー）をドーピングする。例えば、加速電圧を70～120keVとし、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量で行い、図5（D）で半導体層に形成された第1の不純物領域の内側に不純物領域を形成する。ドーピングは、第2の導電膜512b、513bを不純物元素に対するマスクとして用い、第1の導電膜512a、512aの下側の領域に不純物元素が添加されるようにドーピングする。こうして、第1の導電膜512a、513aと重なる不純物領域（n-領域）514、515が形成される。この不純物領域は、第2の導電層512a、513aがほぼ同じ膜厚で残存していることから、第2の導電層に沿った方向における濃度差は小さく、 $1 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$ の濃度で形成する。

【0066】

そして、図6（B）に示すように、第3のエッチング処理を行い、ゲート絶縁膜346のエッチング処理を行う。その結果、第2の導電膜もエッチングされ、端部が後退して小さくなり、第3形状の導電層517、518が形成される。図中で519は残存するゲート絶縁膜である。

【0067】

そして、図6（C）に示すように、レジストによるマスク520を形成し、pチャネル型TFTを形成する半導体層501にp型の不純物（アクセプタ）をドーピングする。典型的にはボロン（B）を用いる。不純物領域（p+領域）52

1、522の不純物濃度は $2 \times 10^{20} \sim 2 \times 10^{21} / \text{cm}^3$ となるようにし、含有するリン濃度の1.5～3倍のボロンを添加して導電型を反転させる。

【0068】

以上までの工程でそれぞれの半導体層に不純物領域が形成される。第3形状の導電層517、518はゲート電極となる。その後、図6(D)に示すように、窒化シリコン膜または酸化窒化シリコン膜から成る保護絶縁膜523をプラズマCVD法で形成する。そして導電型の制御を目的としてそれぞれの半導体層に添加された不純物元素を活性化する工程を行う。

【0069】

さらに、窒化シリコン膜524を形成し、水素化処理を行う。その結果、窒化シリコン膜524中の水素が半導体層中に拡散させることで水素化を達成することができる。

【0070】

層間絶縁膜525は、ポリイミド、アクリルなどの有機絶縁物材料で形成する。勿論、プラズマCVD法でTEOS (Tetraethyl Ortho silicate) を用いて形成される酸化シリコン膜を適用しても良いが、平坦性を高める観点からは前記有機物材料を用いることが望ましい。

【0071】

次いで、コンタクトホールを形成し、アルミニウム(Al)、チタン(Ti)、タンタル(Ta)などを用いて、ソース配線またはドレイン配線526～528を形成する。

【0072】

以上の工程で、nチャネル型TFTとpチャネル型TFTとを相補的に組み合わせたCMOS回路を得ることができる。

【0073】

pチャネル型TFTにはチャネル形成領域530、ソース領域またはドレイン領域として機能する不純物領域521、522を有している。

【0074】

nチャネル型TFTにはチャネル形成領域531、第3形状の導電層から成る

ゲート電極 5 1 8 と重なる不純物領域 5 1 5 a (Gate Overlapped Drain: G O L D 領域)、ゲート電極の外側に形成される不純物領域 5 1 5 b (L D D 領域) とソース領域またはドレイン領域として機能する不純物領域 5 1 6 を有している。

【 0 0 7 5 】

このような C M O S 回路は、アクティブマトリクス型の E L 表示装置の駆動回路を形成することを可能とする。それ以外にも、このような n チャネル型 T F T または p チャネル型 T F T は、画素部を形成するトランジスタに応用することができる。

【 0 0 7 6 】

このような C M O S 回路を組み合わせることで基本論理回路を構成したり、さらに複雑なロジック回路 (信号分割回路、D / A コンバータ、オペアンプ、 γ 補正回路など) をも構成することができ、さらにはメモリやマイクロプロセッサをも形成することが可能である。

【 0 0 7 7 】

また、本実施例は実施例 1 乃至 3 のいずれか一と自由に組み合わせることが可能である。

【 0 0 7 8 】

[実施例 5]

ここでは、上記実施例 4 で得られる T F T を用いて E L (エレクトロルミネセンス) 表示装置を作製した例について図 7 及び図 8 を用い、以下に説明する。

【 0 0 7 9 】

同一の絶縁体上に画素部とそれを駆動する駆動回路を有した発光装置の例 (但し封止前の状態) を図 7 に示す。なお、駆動回路には基本単位となる C M O S 回路を示し、画素部には一つの画素を示す。この C M O S 回路は実施例 4 に従えば得ることができる。

【 0 0 8 0 】

図 7 において、6 0 2 は基板ホルダー、6 0 3 は固定部、6 0 2 は素子形成基板 (薄い金属基板) であり、その素子形成基板上に設けられた下地絶縁膜上には

nチャネル型TFTとpチャネル型TFTからなる駆動回路604、pチャネル型TFTからなるスイッチングTFTおよびnチャネル型TFTからなる電流制御TFTとが形成されている。また、本実施例では、TFTはすべてトップゲート型TFTで形成されている。

【0081】

nチャネル型TFTおよびpチャネル型TFTの説明は実施例4を参照すれば良いので省略する。また、スイッチングTFTはソース領域およびドレイン領域の間に二つのチャネル形成領域を有した構造（ダブルゲート構造）となっているpチャネル型TFTである。なお、本実施例はダブルゲート構造に限定されることなく、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0082】

また、電流制御TFTのドレイン領域606の上には第2層間絶縁膜608が設けられる前に、第1層間絶縁膜607にコンタクトホールが設けられている。これは第2層間絶縁膜608にコンタクトホールを形成する際に、エッチング工程を簡単にするためである。第2層間絶縁膜608にはドレイン領域606に到達するようにコンタクトホールが形成され、ドレイン領域606に接続された画素電極609が設けられている。画素電極609はEL素子の陰極として機能する電極であり、周期表の1族もしくは2族に属する元素を含む導電膜を用いて形成されている。本実施例では、リチウムとアルミニウムとの化合物からなる導電膜を用いる。

【0083】

次に、613は画素電極609の端部を覆うように設けられた絶縁膜であり、本明細書中ではバンクと呼ぶ。バンク613は珪素を含む絶縁膜もしくは樹脂膜で形成すれば良い。樹脂膜を用いる場合、樹脂膜の比抵抗が $1 \times 10^6 \sim 1 \times 10^{12} \Omega \text{m}$ （好ましくは $1 \times 10^8 \sim 1 \times 10^{10} \Omega \text{m}$ ）となるようにカーボン粒子もしくは金属粒子を添加すると、成膜時の絶縁破壊を抑えることができる。

【0084】

また、EL素子610は画素電極（陰極）609、EL層611および陽極6

12 からなる。陽極 612 は、仕事関数の大きい導電膜、代表的には酸化物導電膜が用いられる。酸化物導電膜としては、酸化インジウム、酸化スズ、酸化亜鉛もしくはそれらの化合物を用いれば良い。

【0085】

なお、本明細書中では発光層（EL 膜）に対して正孔注入層、正孔輸送層、正孔阻止層、電子輸送層、電子注入層もしくは電子阻止層を組み合わせた積層した層の総称を EL 層と定義する。但し、EL 層には EL 膜を単層で用いた場合も含むものとする。

【0086】

また、発光層としては、EL 材料であれば特に限定されないが、例えば二重項励起により発光する発光材料からなる薄膜、あるいは三重項励起により発光する発光材料からなる薄膜を用いることができる。

【0087】

なお、ここでは図示しないが陽極 612 を形成した後、EL 素子 610 を完全に覆うようにしてパッシベーション膜を設けることは有効である。パッシベーション膜としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0088】

次いで、EL 素子を保護するための封止（または封入）工程まで行った後、実施の形態および実施例 1 に示したように基板ホルダー 601 を分離した。その後の EL 表示装置について図 8（A）、（B）を用いて説明する。

【0089】

図 8（A）は、EL 素子の封止までを行った状態を示す上面図、図 8（B）は図 8（A）を A-A' で切断した断面図である。点線で示された 701 は画素部、702 はソース側駆動回路、703 はゲート側駆動回路である。また、704 はカバー材、705 は第 1 シール材、706 は第 2 シール材である。

【0090】

なお、708 はソース側駆動回路 702 及びゲート側駆動回路 703 に入力される信号を伝送するための配線であり、外部入力端子となる FPC（フレキシブル

プリントサーキット) 708からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤(PWB)が取り付けられていても良い。

【0091】

次に、断面構造について図8(B)を用いて説明する。絶縁体700(素子形成基板603に相当)の上方には画素部、ソース側駆動回路709が形成されており、画素部は電流制御TFT710とそのドレインに電氣的に接続された画素電極711を含む複数の画素により形成される。また、ソース側駆動回路709はnチャネル型TFTとpチャネル型TFTとを組み合わせたCMOS回路を用いて形成される。

【0092】

また、画素電極711の両端にはバンク712が形成され、画素電極711上にはEL層713およびEL素子の陽極714が形成される。陽極714は全面素に共通の配線としても機能し、接続配線715を経由してFPC716に電氣的に接続されている。さらに、画素部及びソース側駆動回路709に含まれる素子は全てパッシベーション膜(図示しない)で覆われている。

【0093】

また、第1シール材705によりカバー材704が貼り合わされている。なお、カバー材704とEL素子との間隔を確保するためにスペーサを設けても良い。そして、第1シール材705の内側には空隙717が形成されている。なお、第1シール材705は水分や酸素を透過しない材料であることが望ましい。さらに、空隙717の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を設けることは有効である。

【0094】

なお、カバー材704の表面および裏面には保護膜として炭素膜(具体的にはダイヤモンドライクカーボン膜)を2~30nmの厚さに設けると良い。このような炭素膜(ここでは図示しない)は、酸素および水の侵入を防ぐとともにカバー材704の表面を機械的に保護する役割をもつ。また、カバー材704には偏光板(代表的には円偏光板)を貼り付けても良い。

【 0 0 9 5 】

また、カバー材 7 0 4 を接着した後、第 1 シール材 7 0 5 の露呈面を覆うように第 2 シール材 7 0 6 を設けている。第 2 シール材 7 0 6 は第 1 シール材 7 0 5 と同じ材料を用いることができる。

【 0 0 9 6 】

以上のような構造で E L 素子を封入することにより、E L 素子を外部から完全に遮断することができ、外部から水分や酸素等の E L 層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い E L 表示装置が得られる。

【 0 0 9 7 】

また、本実施例は実施例 1 と組み合わせることが可能である。

【 0 0 9 8 】

[実施例 6]

本実施例では、実施例 5 で得られる E L 表示装置において、画素部のさらに詳細な上面構造を図 9 (A) に、回路図を図 9 (B) に示す。図 9 (A) 及び図 9 (B) では共通の符号を用いるので互いに参照すれば良い。

【 0 0 9 9 】

スイッチング用 T F T 8 0 2 のソースはソース配線 8 1 5 に接続され、ドレインはドレイン配線 8 0 5 に接続される。また、ドレイン配線 8 0 5 は電流制御用 T F T 8 0 6 のゲート電極 8 0 7 に電氣的に接続される。また、電流制御用 T F T 8 0 6 のソースは電流供給線 8 1 6 に電氣的に接続され、ドレインはドレイン配線 8 1 7 に電氣的に接続される。また、ドレイン配線 8 1 7 は点線で示される画素電極（陰極） 8 1 8 に電氣的に接続される。

【 0 1 0 0 】

このとき、8 1 9 で示される領域には保持容量が形成される。保持容量 8 1 9 は、電流供給線 8 1 6 と電氣的に接続された半導体膜 8 2 0、ゲート絶縁膜と同一層の絶縁膜（図示せず）及びゲート電極 8 0 7 との間で形成される。また、ゲート電極 8 0 7、第 1 層間絶縁膜と同一の層（図示せず）及び電流供給線 8 1 6 で形成される容量も保持容量として用いることが可能である。

【0101】

また、本実施例は実施例1または実施例5と組み合わせることが可能である。

【0102】

[実施例7]

本実施例では実施例5または実施例6に示したEL表示装置の回路構成例を図10に示す。なお、本実施例ではデジタル駆動を行うための回路構成を示す。本実施例では、ソース側駆動回路901、画素部906及びゲート側駆動回路907を有している。なお、本明細書中において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称である。

【0103】

ソース側駆動回路901は、シフトレジスタ902、ラッチ(A)903、ラッチ(B)904、バッファ905を設けている。なお、アナログ駆動の場合はラッチ(A)、(B)の代わりにサンプリング回路(トランスファゲート)を設ければ良い。また、ゲート側駆動回路907は、シフトレジスタ908、バッファ909を設けている。

【0104】

また、本実施例において、画素部906は複数の画素を含み、その複数の画素にEL素子が設けられている。このとき、EL素子の陰極は電流制御TFTのドレインに電氣的に接続されていることが好ましい。

【0105】

これらソース側駆動回路901およびゲート側駆動回路907は実施例2～4で得られるnチャネル型TFTまたはpチャネル型TFTで形成されている。

【0106】

なお、図示していないが、画素部906を挟んでゲート側駆動回路907の反対側にさらにゲート側駆動回路を設けても良い。この場合、双方は同じ構造でゲート配線を共有しており、片方が壊れても残った方からゲート信号を送って画素部を正常に動作させるような構成とする。

【0107】

また、本実施例は実施例1、実施例5または実施例6と組み合わせることが可

能である。

【0108】

[実施例 8]

本実施例では、画素部及び駆動回路に使用する T F T を全て逆スタガ型 T F T で構成した E L 表示装置の例を図 1 1 に示す。

【0109】

図 1 1 において、1 0 0 1 は基板ホルダー、1 0 0 2 は金属基板、1 0 0 3 は固定部であり、まず、実施の形態に従い、固定部 1 0 0 3 で基板ホルダー 1 0 0 1 に固定した金属基板 1 0 0 2 を用意する。次いで、金属基板上に下地絶縁膜を形成する。

【0110】

次いで、下地絶縁膜上に単層構造または積層構造を有するゲート配線（ゲート電極含む）1 0 0 4 を形成する。ゲート配線 1 0 0 4 の形成手段としては熱 C V D 法、プラズマ C V D 法、減圧熱 C V D 法、蒸着法、スパッタ法等を用いて 1 0 ～ 1 0 0 0 n m 、好ましくは 3 0 ～ 3 0 0 n m の膜厚範囲の導電膜を形成した後、公知のパターニング技術で形成する。また、ゲート配線 1 0 0 4 の材料としては、導電性材料または半導体材料を主成分とする材料、例えば T a （タンタル）、M o （モリブデン）、T i （チタン）、W （タングステン）、クロム（C r ）等の高融点金属材料、これら金属材料とシリコンとの化合物であるシリサイド、N 型又は P 型の導電性を有するポリシリコン等の材料、低抵抗金属材料 C u （銅）、A l （アルミニウム）等を主成分とする材料層を少なくとも一層有する構造であれば特に限定されることなく用いることができる。

【0111】

次いで、ゲート絶縁膜 1 0 0 5 を形成する。

【0112】

次いで、非晶質半導体膜を成膜する。次いで、非晶質半導体膜のレーザー結晶化処理を行い、結晶質半導体膜を形成した後、得られた結晶質半導体膜を所望の形状にパターニングして半導体層を形成する。次いで、半導体層上に絶縁層 1 0 0 6 を形成する。この絶縁層 1 0 0 6 は不純物元素の添加工程時にチャネル形成

領域を保護する。

【0113】

次いで、イオン注入法またはイオンドーピング法を用い、半導体層にn型を付与する不純物元素またはp型を付与する不純物元素を適宜、添加してLDD領域やソース領域やドレイン領域を形成する不純物領域を形成する。

【0114】

その後、スパッタ法により作製される窒化シリコン膜、窒化酸化シリコン膜、または酸化シリコン膜により層間絶縁膜を形成する。また、添加された不純物元素は活性化処理を行う。ここでは、レーザー光の照射を行った。レーザー光の照射に代えて、加熱処理で活性化を行ってもよい。

【0115】

次いで、公知の技術を用いてソース領域またはドレイン領域に達するコンタクトホールを形成した後、ソース電極またはドレイン電極を形成して逆スタガ型のTFTを得る。

【0116】

次いで、公知の技術を用いて水素化処理を行い、全体を水素化してnチャネル型TFT及びpチャネル型TFTが完成する。本実施例では比較的低温で行うことが可能な水素プラズマを用いて水素化処理を行った。

【0117】

次いで、スパッタ法により作製される窒化シリコン膜、窒化酸化シリコン膜、または酸化シリコン膜により第1層間絶縁膜1007を形成する。次いで、公知の技術を用いて画素部のドレイン領域1000に達するコンタクトホールを形成した後、第2層間絶縁膜1008を形成する。次いで、公知の技術を用いて画素部のドレイン領域1000に達するコンタクトホールを形成した後、画素電極1009を形成する。次いで、画素電極の両端にバンク1010を形成し、画素電極上にEL層1011およびEL素子1012の陽極1013を形成する。

【0118】

図14において、素子形成基板となる金属基板にはNチャネル型TFT1014、Pチャネル型TFT1015からなる駆動回路、Pチャネル型TFTから

なるスイッチングTFT1016およびNチャネル型TFTからなる電流制御TFT1017が形成されている。また、本実施例では、TFTはすべて逆スタガ型TFTで形成されている。

【0119】

また、スイッチングTFT1016はソース領域およびドレイン領域の間に二つのチャンネル形成領域を有した構造（ダブルゲート構造）となっている。なお、本実施例はダブルゲート構造に限定されることなく、チャンネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0120】

さらに、画素部及び駆動回路に含まれる素子は全てパッシベーション膜（図示しない）で覆うことが好ましい。

【0121】

以降の工程は、実施例1の工程に従って、基板ホルダー1001を分離して、発光装置が完成する。

【0122】

なお、本実施例は、実施例1、実施例6、または実施例7と自由に組み合わせることが可能である。

【0123】

【実施例9】

本実施例では、円偏光フィルムを用いずにEL発光装置の鏡面化を防ぐため、遮光膜を設けた例を図12に示す。通常、ステンレス基板は反射率が低いため、鏡面化しにくい。が、研磨等により基板表面を平坦化させた場合に鏡面化しやすい。

【0124】

基本的な構造は、第2層間絶縁膜（図7中の608）に代えて遮光膜1108を設けた点以外は実施例5と同一であり、詳細な説明はここでは省略する。

【0125】

図12において、1102は基板ホルダー、1103は固定部、1101は素

子形成基板（薄い金属基板）であり、その上にはnチャネル型TFTとpチャネル型TFTからなる駆動回路1104と、pチャネル型TFTからなるスイッチングTFTおよびnチャネル型TFTからなる電流制御TFTを配置した画素部1105が形成している。また、本実施例では、TFTはすべてトップゲート型TFTで形成されている。

【0126】

nチャネル型TFTおよびpチャネル型TFTの説明は実施例4を参照すれば良いので省略する。また、スイッチングTFTはソース領域およびドレイン領域の間に二つのチャネル形成領域を有した構造（ダブルゲート構造）となっているpチャネル型TFTである。なお、本実施例はダブルゲート構造に限定されることがなく、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0127】

また、電流制御TFTのドレイン領域1106の上には遮光膜1108が設けられる前に、第1層間絶縁膜1107にコンタクトホールが設けられている。これは遮光膜1108にコンタクトホールを形成する際に、エッチング工程を簡単にするためである。遮光膜1108にはドレイン領域1106に到達するようにコンタクトホールが形成され、ドレイン領域1106に接続された画素電極が設けられている。画素電極はEL素子の陰極として機能する電極であり、周期表の1族もしくは2族に属する元素を含む導電膜を用いて形成されている。本実施例では、リチウムとアルミニウムとの化合物からなる導電膜を用いる。

【0128】

遮光膜1108としては、可視光に対する吸収係数の高い材料からなる薄膜を用いることができる。代表的には金属粒子もしくはカーボン粒子を分散させた絶縁膜（好ましくは樹脂膜）、反射率の低い金属膜（好ましくはチタン膜、窒化チタン膜、クロム膜、モリブデン膜、タングステン膜、タンタル膜もしくは窒化タンタル膜）または半導体膜を用いることができる。ここでは、カーボン粒子を分散させた絶縁膜を用いた。

【0129】

また、遮光膜 1 1 0 8 を成膜する際の T F T の静電破壊を防ぐために、遮光膜 1 7 の比抵抗が $1 \times 10^6 \sim 1 \times 10^{12} \Omega \text{ m}$ (好ましくは $1 \times 10^8 \sim 1 \times 10^{10} \Omega \text{ m}$) となるように金属粒子もしくはカーボン粒子の添加量もしくは粒径を調節することは有効である。また、ここでは第 1 層間絶縁膜 1 1 0 7 上に遮光膜 1 1 0 8 を設けているが、遮光膜 1 1 0 8 を可視光に対して透明な樹脂膜と積層して用いても良い。

【 0 1 3 0 】

また、本実施例では、遮光膜を全面に形成した例を示したが、適宜パターニングを行って選択的に配置してもよい。なお、遮光膜の形成位置は特に限定されず、発光素子に接して形成してもよいし、絶縁膜もしくは導電膜を介して形成してもよい。

【 0 1 3 1 】

こうして、図 1 2 の状態を得た後、実施例 1 に従って得られる発光装置は、金属粒子もしくはカーボン粒子を分散させた絶縁膜からなる遮光膜 1 1 0 8 の表面で外光がある程度、吸収されて反射光が低減されるため、外部の景色が観測面に映りにくい。従って、良好な画質を得ることができる。また、高価な円偏光フィルムを用いないため、安価な発光装置とすることができる。

【 0 1 3 2 】

なお、本実施例は、実施例 1 乃至 8 のいずれか一と自由に組み合わせることが可能である。

【 0 1 3 3 】

〔実施例 1 0〕

本実施例では、D L C 膜 (具体的にはダイヤモンドライクカーボン膜) をパッシベーション膜として本発明に適用した例を示す。

【 0 1 3 4 】

まず、実施例 5 に従って、E L 層および陽極を形成する。ここで陽極として酸化亜鉛 (ZnO) からなる透明導電膜を用いる。この陽極を覆うパッシベーション膜として膜厚 2 ~ 5 0 n m の D L C 膜を形成する。

【 0 1 3 5 】

なお、DLC膜の成膜はECRプラズマCVD法、RFプラズマCVD法、 μ 波プラズマCVD法もしくはスパッタ法を用いればよい。DLC膜の特徴としては、 1550 cm^{-1} くらいに非対称のピークを有し、 1300 cm^{-1} くらいに肩をもつラマンスペクトル分布を有する。また、微小硬度計で測定した時に $15\sim 25\text{ GPa}$ の硬度を示すという特徴をもつ。このような炭素膜は、酸素および水の侵入を防ぐとともに樹脂基板の表面を保護する役割を持つ。こうして、外部からの水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高いEL発光装置が得られる。

【0136】

なお、本実施例は、実施例1乃至9のいずれか一と自由に組み合わせることが可能である。

【0137】

[実施例11]

本実施例では、実施例10と異なり、陽極としてITO（酸化インジウム酸化スズ合金）からなる透明導電膜を用いた場合の例を示す。

【0138】

まず、実施例5に従って、EL層および陽極を形成する。ここで陽極としてITO（酸化インジウム酸化スズ合金）からなる透明導電膜を用いた場合、DLC膜を積層形成しにくい。そこで、本実施例では、有機樹脂膜をバッファとして形成した後、膜厚 $2\sim 50\text{ nm}$ のDLC膜を用いる。

【0139】

こうして、陽極としてITOを用いてもDLC膜でパッシベーションすることができる。

【0140】

なお、本実施例は、実施例1乃至9のいずれか一と自由に組み合わせることが可能である。

【0141】

[実施例12]

本実施例では、EL発光装置の端面にDLC膜を設ける例を示す。

【 0 1 4 2 】

固定基板を貼りつけた後、E L 発光装置の端面は、固定基板を貼りつけるために用いたシール材が露出した構造となっている。

【 0 1 4 3 】

本実施例では、このシール材を通過して外部からの水分や酸素等の E L 層の酸化による劣化を促す物質が侵入することを防ぐものである。そのため、端面にシール材を覆う D L C 膜を形成する。

【 0 1 4 4 】

こうすることでさらに外部からの水分や酸素等の E L 層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い E L 発光装置が得られる。

【 0 1 4 5 】

なお、端面だけでなく全面を覆うように D L C 膜を形成してもよい。ただし、引き出し電極となる箇所に形成しないようにマスクを設けて形成することが必要である。

【 0 1 4 6 】

また、本実施例では、基板ホルダーを除去した後、D L C 膜を形成した例を示したが、D L C 膜を形成した後、基板ホルダーを除去してもよい。

【 0 1 4 7 】

なお、本実施例は、実施例 1 乃至 1 1 のいずれか一と自由に組み合わせることが可能である。

【 0 1 4 8 】

[実施例 1 3]

本実施例では、素子形成基板上に設けられた駆動回路上に乾燥材を配置する例を示す。

【 0 1 4 9 】

実施例 5 に従って陽極を形成した後、乾燥材を駆動回路上に配置してから固定基板で封止する。駆動回路上に乾燥材を配置しても表示される画像には影響ない。

【 0 1 5 0 】

乾燥材としては、粉体状の吸水性物質（例えば酸化バリウム）を他の素材と複合化させてフィルム状、または固体状として配置すればよい。あるいは、ある位置に粉体状の吸水性物質を水分透過性のシートで封止する方法を用いればよい。

【 0 1 5 1 】

こうすることで、外部からの水分や酸素等の E L 層の酸化による劣化を防ぐことができる。従って、信頼性の高い E L 発光装置が得られる。

【 0 1 5 2 】

なお、本実施例は、実施例 1 乃至 1 2 のいずれか一と自由に組み合わせることが可能である。

【 0 1 5 3 】

〔実施例 1 4〕

本実施例は実施例 1 3 と異なり、画素部に配置されるバンク上またはバンクに吸水性物質を含ませる例である。

【 0 1 5 4 】

実施例 5 に従い、画素電極を形成した後、バンクとなる材料層を形成する。この材料層には吸水性物質を含ませて乾燥材の役目を果たすようにする。または、バンク上に乾燥材を設けた積層構造とする。

【 0 1 5 5 】

次いで、画素電極上に E L 層および E L 素子の陽極を形成する。

【 0 1 5 6 】

こうすることで、外部からの水分や酸素等の E L 層の酸化による劣化を防ぐことができる。従って、信頼性の高い E L 発光装置が得られる。

【 0 1 5 7 】

なお、本実施例は、実施例 1 乃至 1 2 のいずれか一と自由に組み合わせることが可能である。

【 0 1 5 8 】

〔実施例 1 5〕

マスク数の低減された実施例 5 の作製方法を用いた場合、同一基板上に複雑な

集積回路（メモリ、CPU、D/Aコンバータ等）を形成することが困難である。従って、メモリ、CPU、D/Aコンバータ等を備えたICチップを、COG（chip on glass）方式やTAB（tape automated bonding）方式で実装する。本実施例では、ICチップにメモリ回路を形成し、COG方式で実装する例を示す。

【0159】

図13（A）にICチップ1209を実装したEL表示装置の上面図を示す。

【0160】

点線で示された1201は画素部、1202はソース側駆動回路、1203はゲート側駆動回路、1209はICチップである。また、1204は固定基板、1205は第1シール材、1206は第2シール材である。

【0161】

なお、1207はソース側駆動回路1202及びゲート側駆動回路1203に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）1208からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。

【0162】

また、図13（B）はICチップを実装したEL表示装置の断面の一部を示した図である。

【0163】

金属基板1301上にはEL素子を含む画素部1302、引出線1306、接続配線及び入出力端子1207が設けられている。固定基板1303は第1シール材1304で金属基板1301と接着されている。

【0164】

また、接続配線及び入出力端子1207の一方の端にはFPC1208が異方性導電材で接着されている。異方性導電材は樹脂1315と表面にAuなどがメッキされた数十～数百 μm 径の導電性粒子1314から成り、導電性粒子1314により接続配線及び入出力端子1207とFPC1208に形成された配線1

3 1 3 とが電氣的に接続されている。I C チップ 1 2 0 9 も同様に異方性導電材で金属基板に接着され、樹脂 1 3 1 1 中に混入された導電性粒子 1 3 1 0 により、I C チップ 1 2 0 9 に設けられた入出力端子 1 3 0 9 と引出線 1 3 0 6 または接続配線及び入出力端子 1 2 0 7 と電氣的に接続されている。

【 0 1 6 5 】

I C チップの実装方法は図 1 3 を基にした方法に限定されるものではなく、ここで説明した以外にも公知の C O G 方法やワイヤボンディング方法、或いは T A B 方法を用いることが可能である。

【 0 1 6 6 】

[実施例 1 6]

本願発明を実施して形成された駆動回路や画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 E L ディスプレイ、アクティブマトリクス型 E C ディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

【 0 1 6 7 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 1 4 及び図 1 5 に示す。

【 0 1 6 8 】

図 1 4 （A）はパーソナルコンピュータであり、本体 2 0 0 1、画像入力部 2 0 0 2、表示部 2 0 0 3、キーボード 2 0 0 4 等を含む。本発明を画像入力部 2 0 0 2、表示部 2 0 0 3 やその他の駆動回路に適用することができる。

【 0 1 6 9 】

図 1 4 （B）はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 等を含む。本発明を表示部 2 1 0 2 やその他の駆動回路に適用することができる。

【 0 1 7 0 】

図 1 4 (C) はモバイルコンピュータ (モービルコンピュータ) であり、本体 2 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示部 2 2 0 5 等を含む。本発明は表示部 2 2 0 5 やその他の駆動回路に適用できる。

【0 1 7 1】

図 1 4 (D) はゴーグル型ディスプレイであり、本体 2 3 0 1、表示部 2 3 0 2、アーム部 2 3 0 3 等を含む。本発明は表示部 2 3 0 2 やその他の駆動回路に適用することができる。

【0 1 7 2】

図 1 4 (E) はプログラムを記録した記録媒体 (以下、記録媒体と呼ぶ) を用いるプレーヤーであり、本体 2 4 0 1、表示部 2 4 0 2、スピーカ部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 等を含む。なお、このプレーヤーは記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2 4 0 2 やその他の駆動回路に適用することができる。

【0 1 7 3】

図 1 4 (F) はデジタルカメラであり、本体 2 5 0 1、表示部 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部 (図示しない) 等を含む。本願発明を表示部 2 5 0 2 やその他の駆動回路に適用することができる。

【0 1 7 4】

図 1 5 (A) は携帯電話であり、本体 2 9 0 1、音声出力部 2 9 0 2、音声入力部 2 9 0 3、表示部 2 9 0 4、操作スイッチ 2 9 0 5、アンテナ 2 9 0 6、画像入力部 (CCD、イメージセンサ等) 2 9 0 7 等を含む。本願発明を音声出力部 2 9 0 2、音声入力部 2 9 0 3、表示部 2 9 0 4 やその他の駆動回路に適用することができる。

【0 1 7 5】

図 1 5 (B) は携帯書籍 (電子書籍) であり、本体 3 0 0 1、表示部 3 0 0 2、3 0 0 3、記憶媒体 3 0 0 4、操作スイッチ 3 0 0 5、アンテナ 3 0 0 6 等を含む。本発明は表示部 3 0 0 2、3 0 0 3 やその他の駆動回路に適用することができる。

【 0 1 7 6 】

図 1 5 (C) はディスプレイであり、本体 3 1 0 1、支持台 3 1 0 2、表示部 3 1 0 3 等を含む。本発明は表示部 3 1 0 3 に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角 1 0 インチ以上（特に 3 0 インチ以上）のディスプレイには有利である。

【 0 1 7 7 】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ～ 1 5 のどのような組み合わせからなる構成を用いても実現することができる。

【 0 1 7 8 】

【発明の効果】

本発明によりフレキシブルなフィルム上に発光素子を形成して軽量、かつ安価な発光装置を提供することができる。

【図面の簡単な説明】

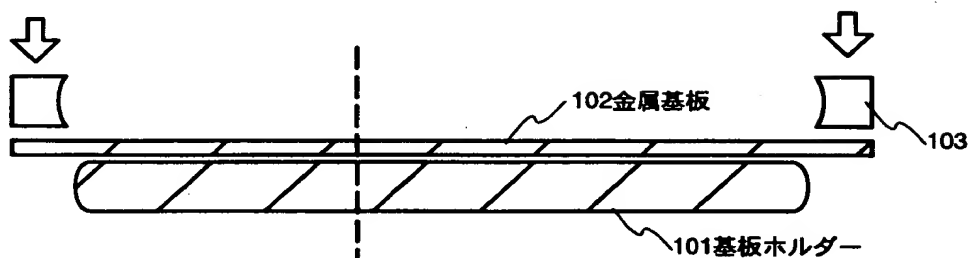
- 【図 1】 基板ホルダーに基板を固定する工程を示す図。
- 【図 2】 作製工程を示す図。
- 【図 3】 結晶質半導体膜の作製方法を説明する図。
- 【図 4】 結晶質半導体膜の作製方法を説明する図。
- 【図 5】 CMOS 回路を作製する工程を説明する図。
- 【図 6】 CMOS 回路を作製する工程を説明する図。
- 【図 7】 EL 表示装置の駆動回路及び画素部の断面構造図。
- 【図 8】 EL 表示装置の上面図及び断面図。
- 【図 9】 EL 表示装置の画素の上面図及び回路図。
- 【図 1 0】 デジタル駆動の EL 表示装置の回路ブロック図。
- 【図 1 1】 EL 表示装置の駆動回路及び画素部の断面構造図。
- 【図 1 2】 EL 表示装置の駆動回路及び画素部の断面構造図。
- 【図 1 3】 EL 表示装置の上面図及び断面の一部を示す図。
- 【図 1 4】 電子機器の一例を示す図。
- 【図 1 5】 電子機器の一例を示す図。

【図 1 6】 従来例を示す図。

【書類名】 図面

【図 1】

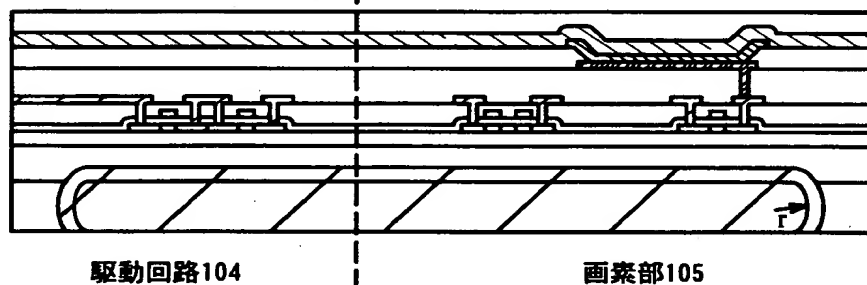
(A) 基板ホルダーに固定する前の状態



(B) 固定後の状態

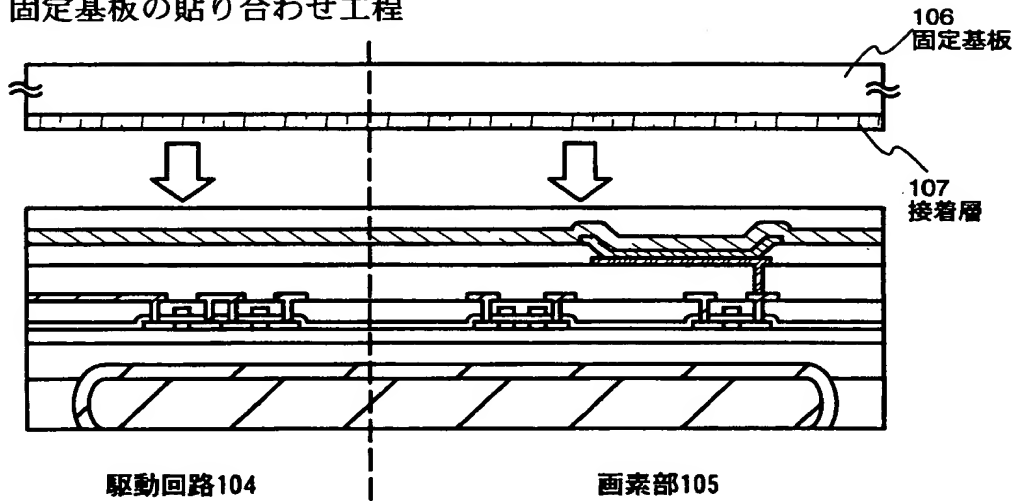


(C) EL素子形成後の状態

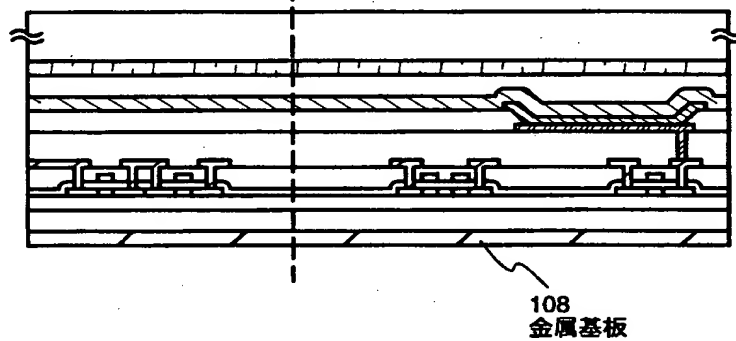


【図 2】

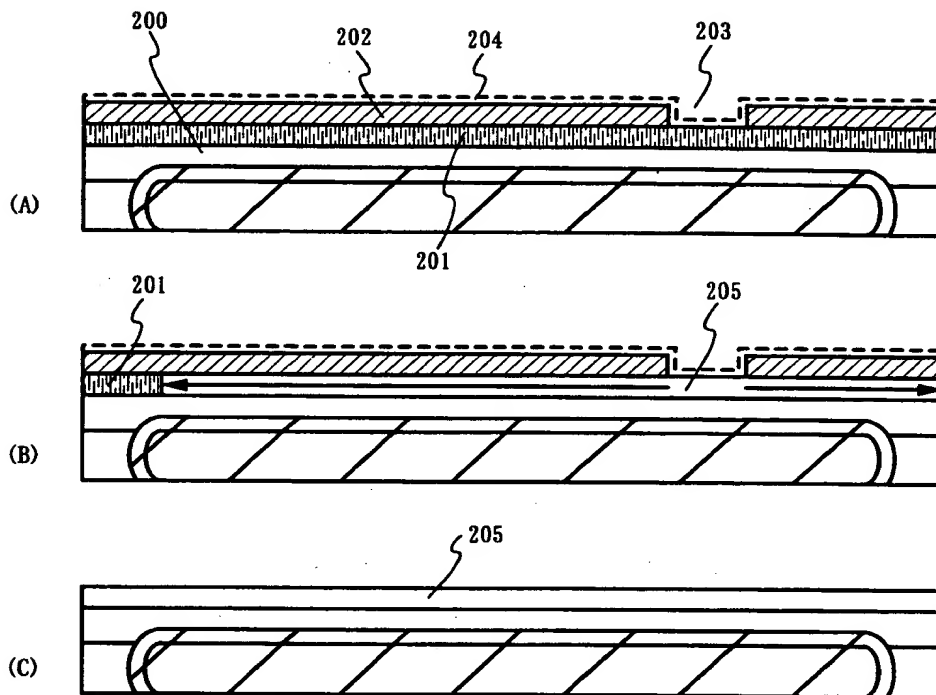
(A) 固定基板の貼り合わせ工程



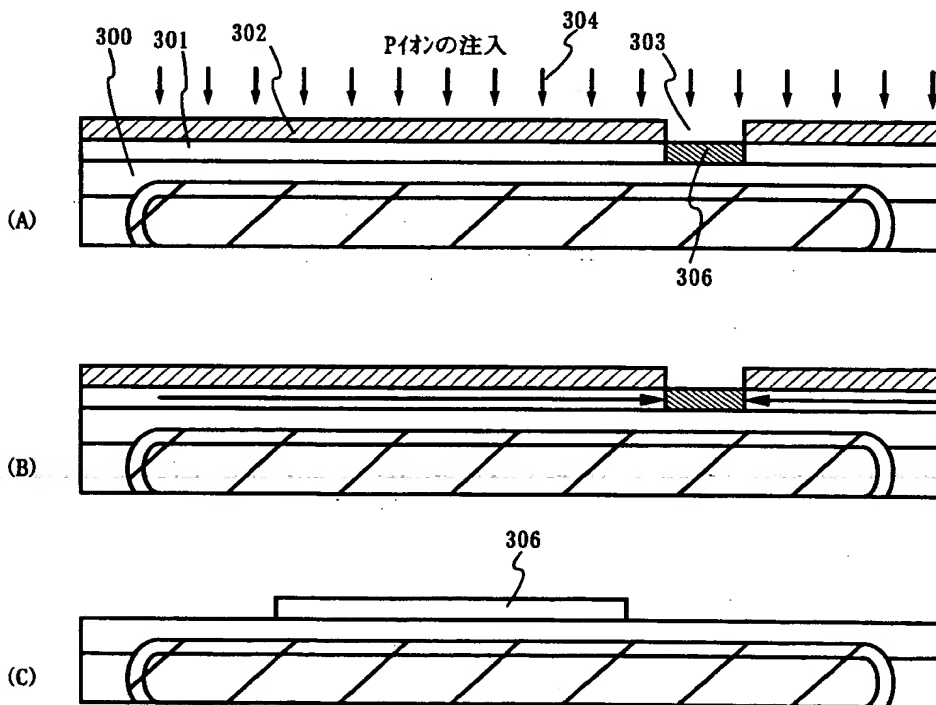
(B) 基板ホルダーを分離した後の状態



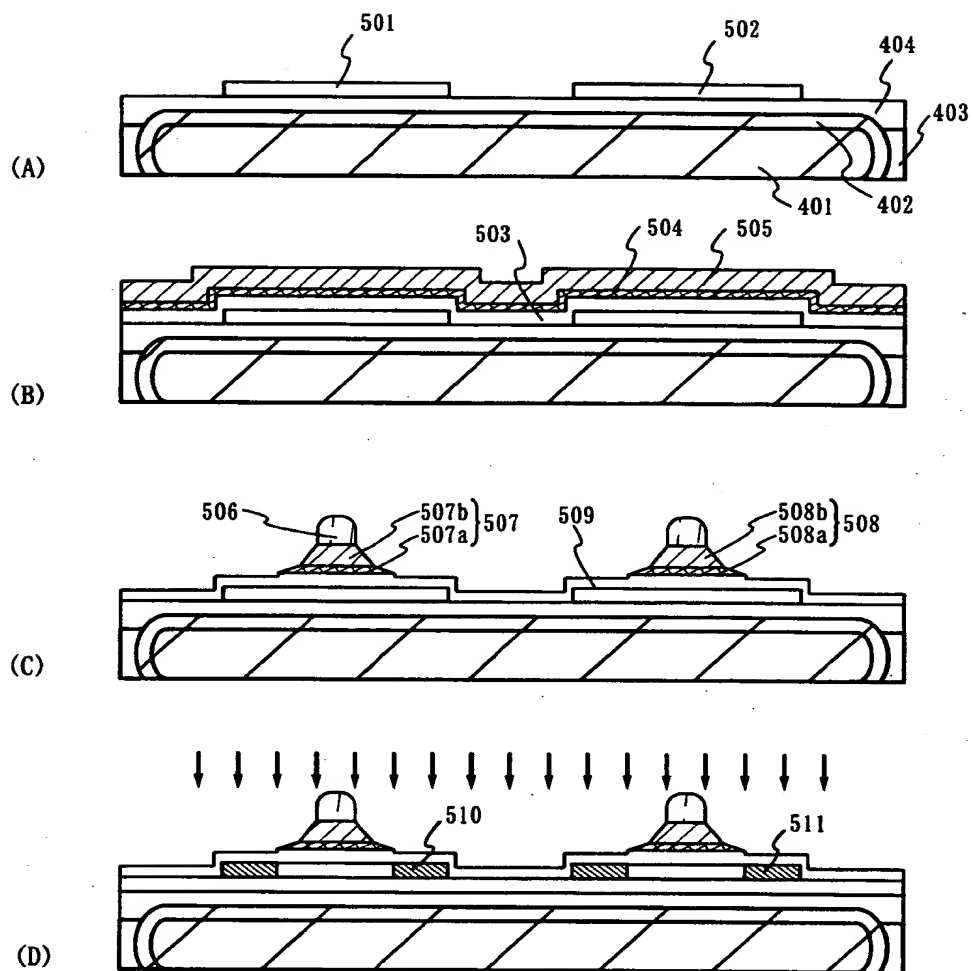
【図 3】



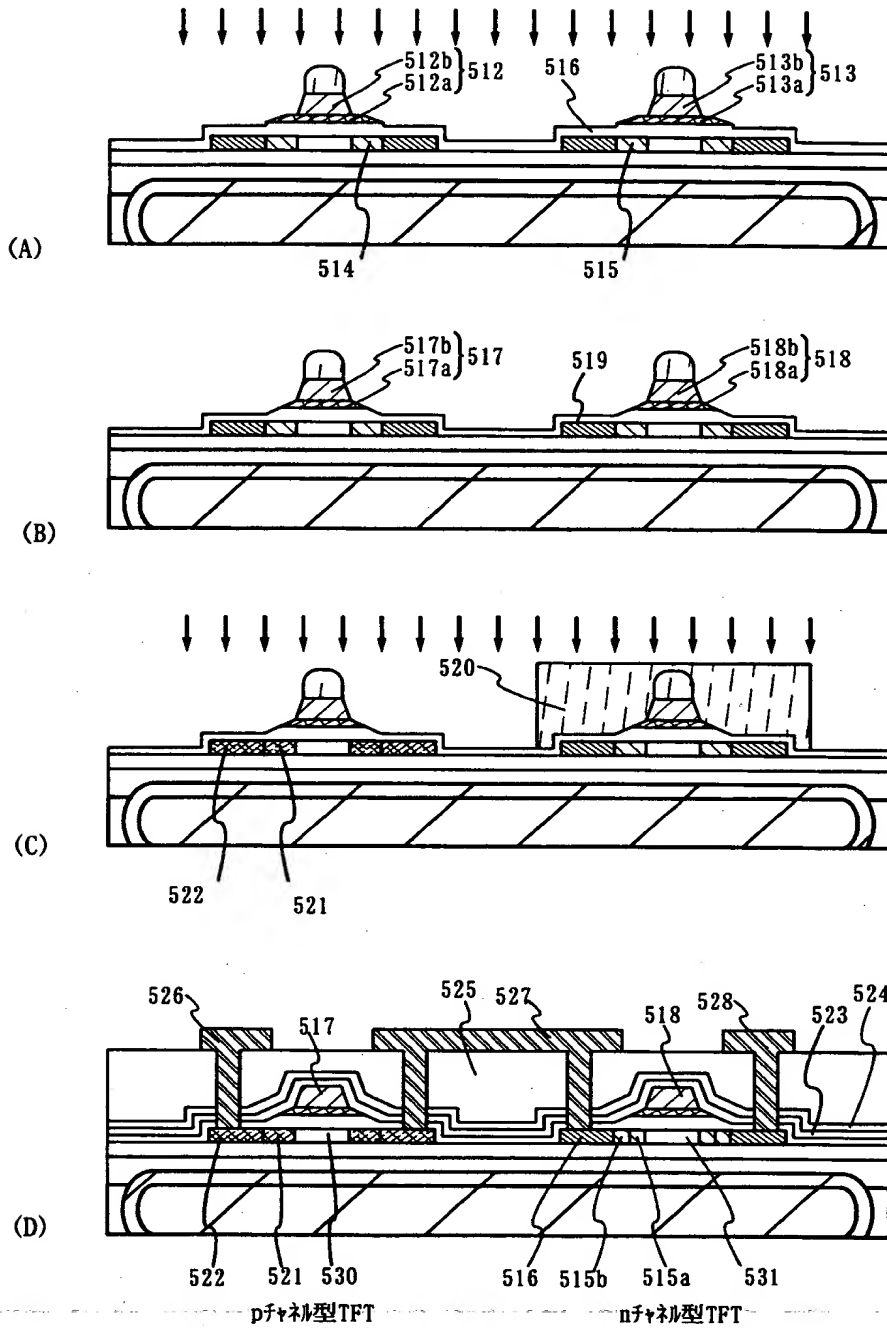
【図 4】



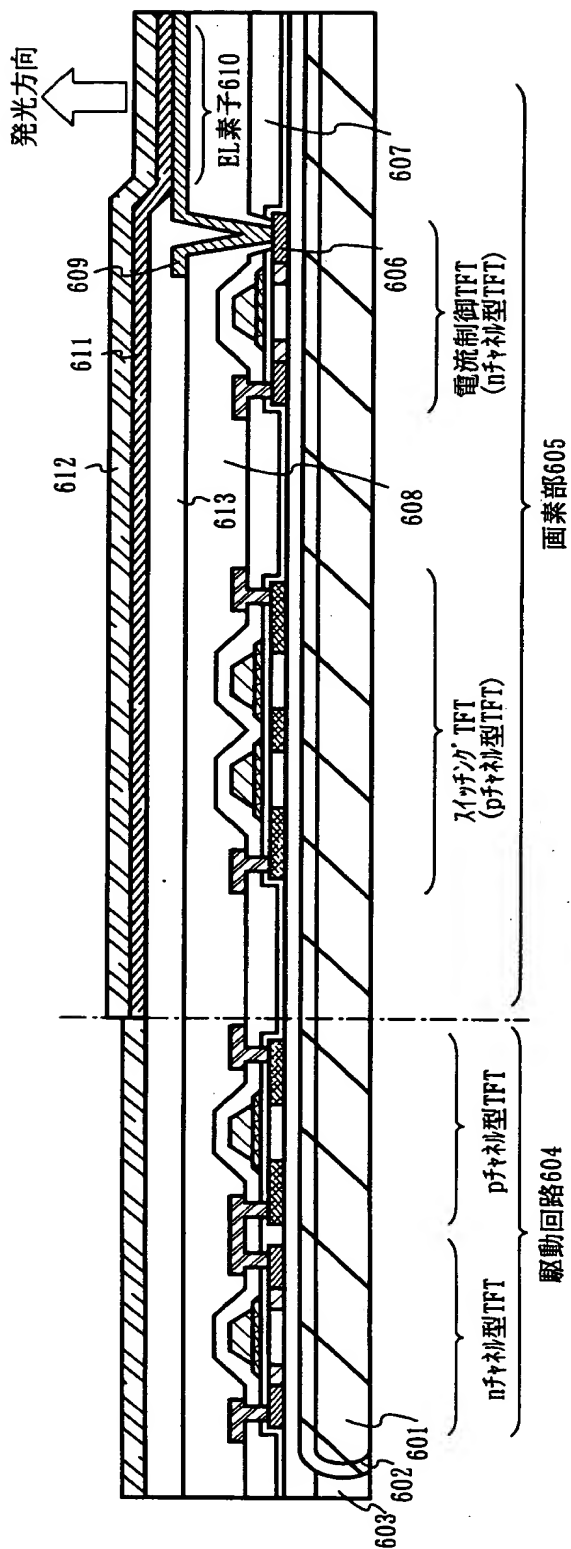
【図 5】



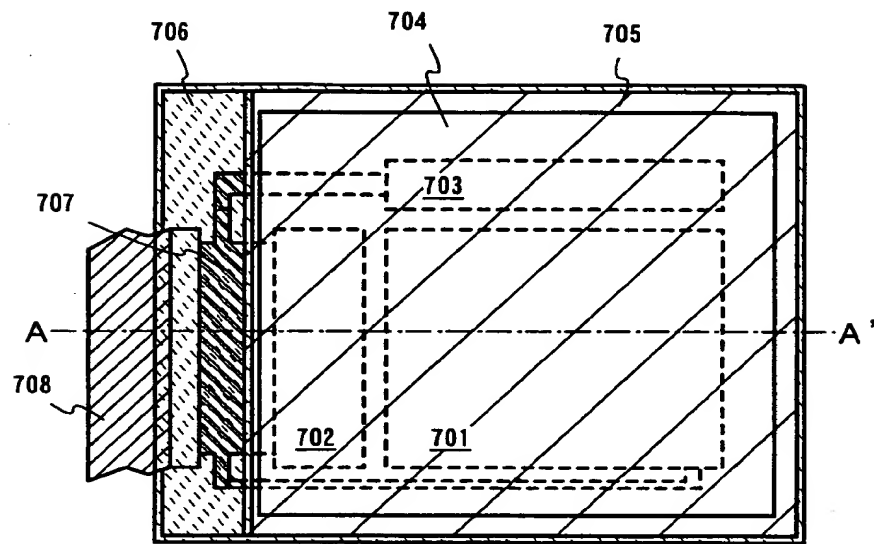
【図 6】



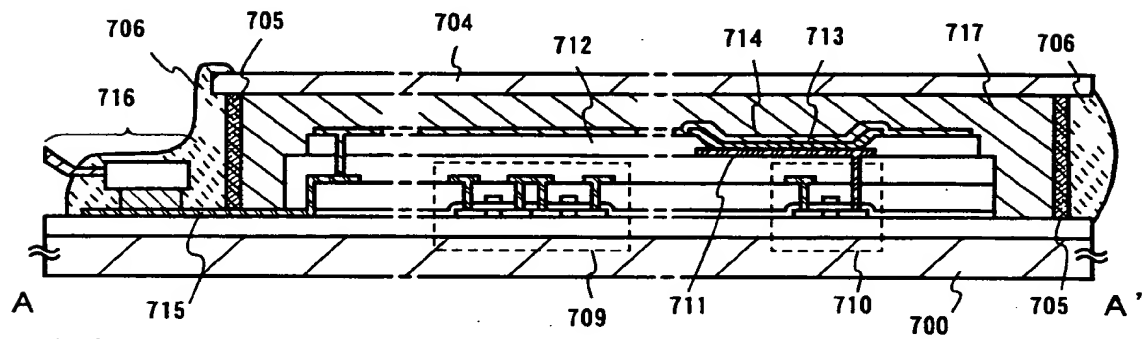
【図 7】



【図 8】

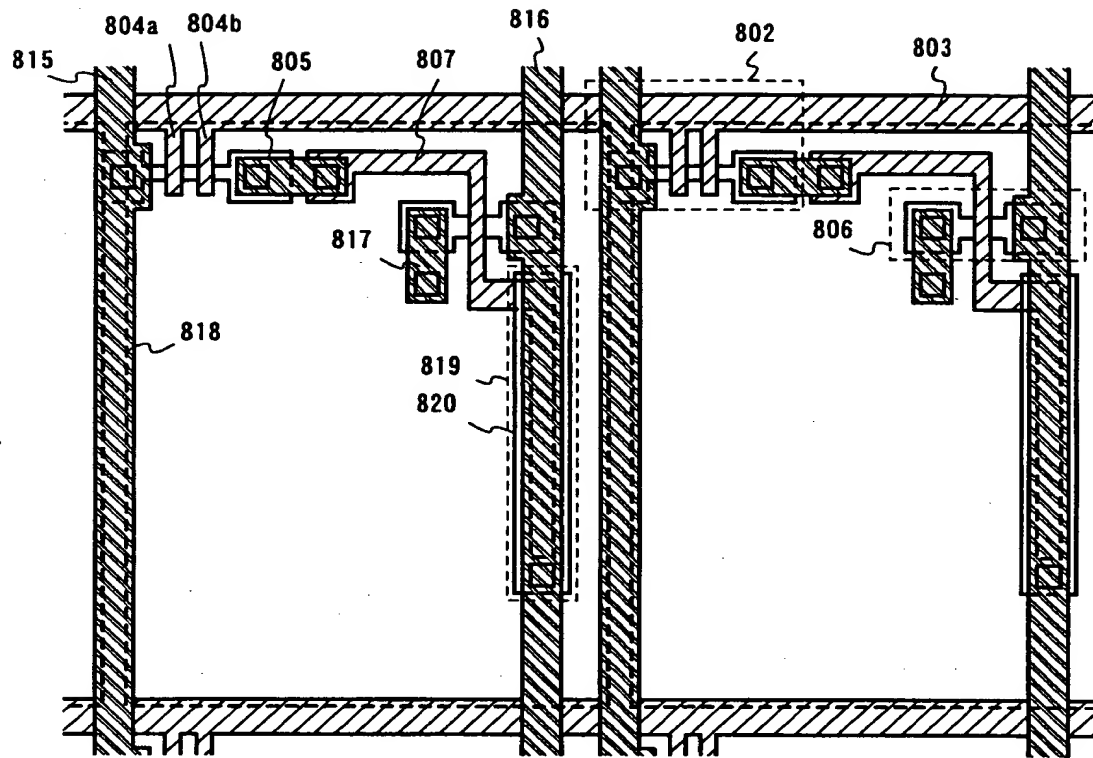


(A)

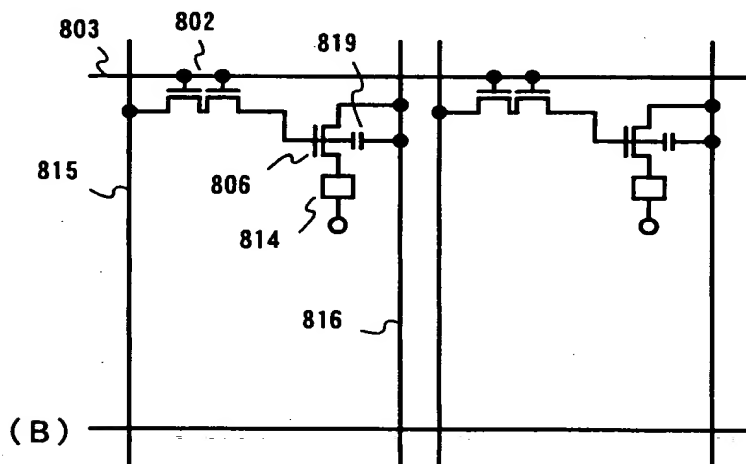


(B)

【図 9】

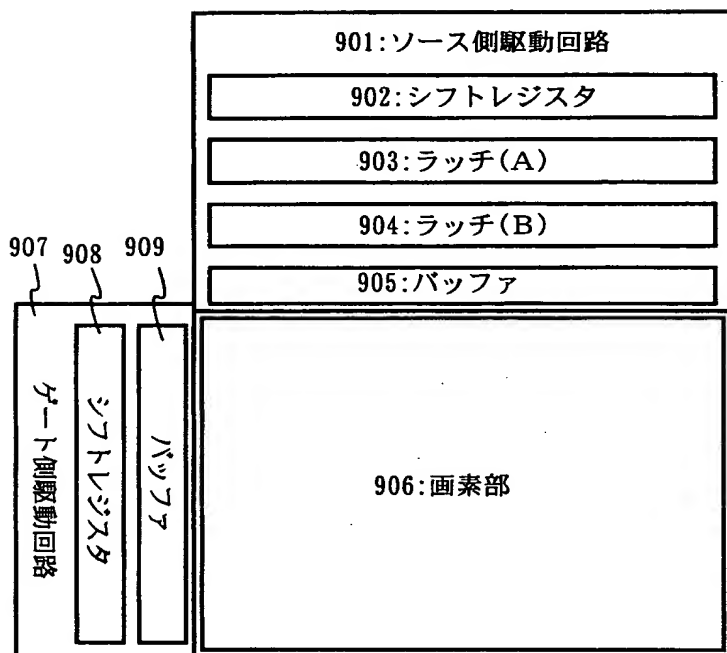


(A)

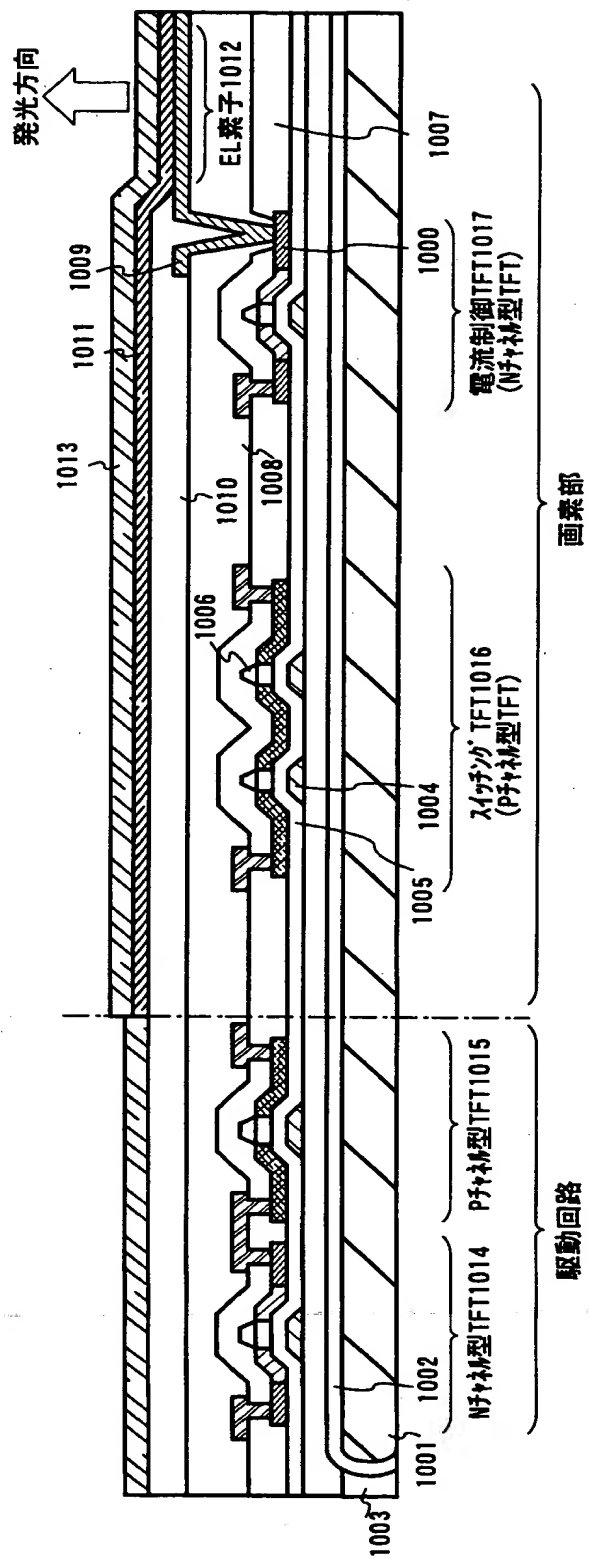


(B)

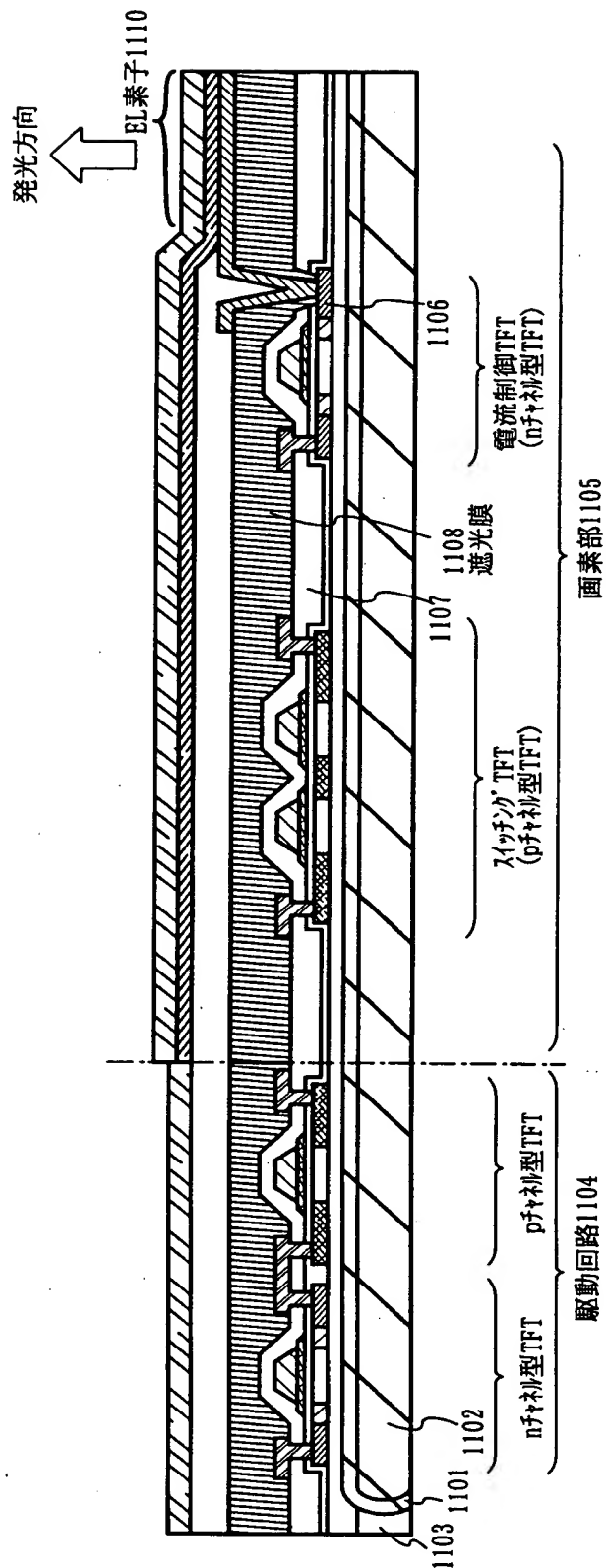
【図 1 0】



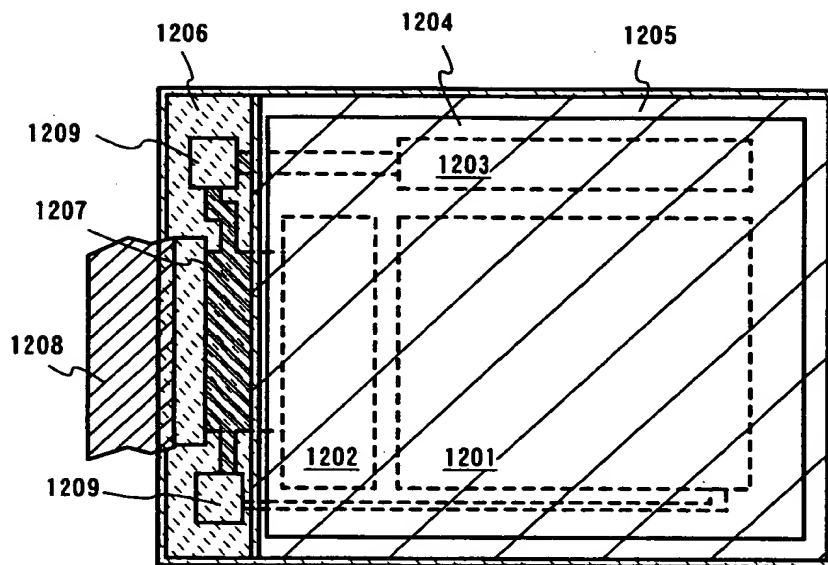
【図11】



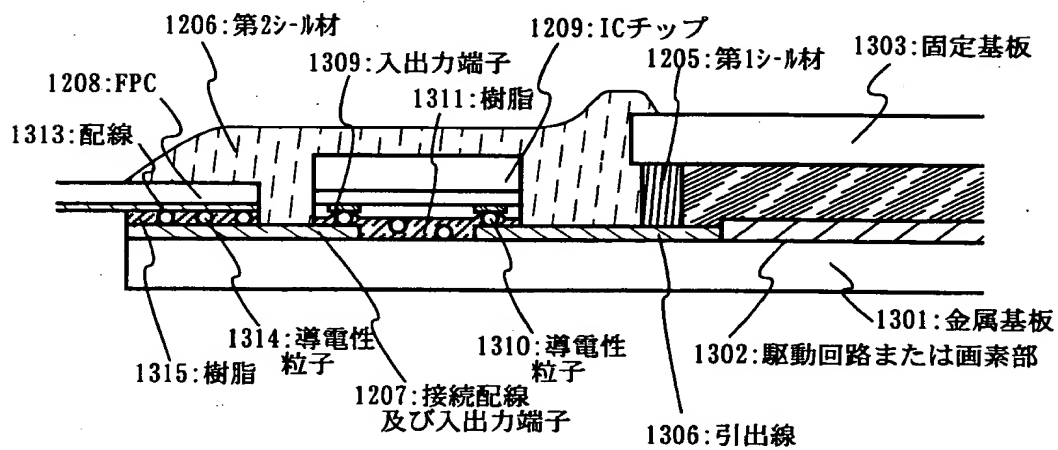
【図 12】



【図 13】

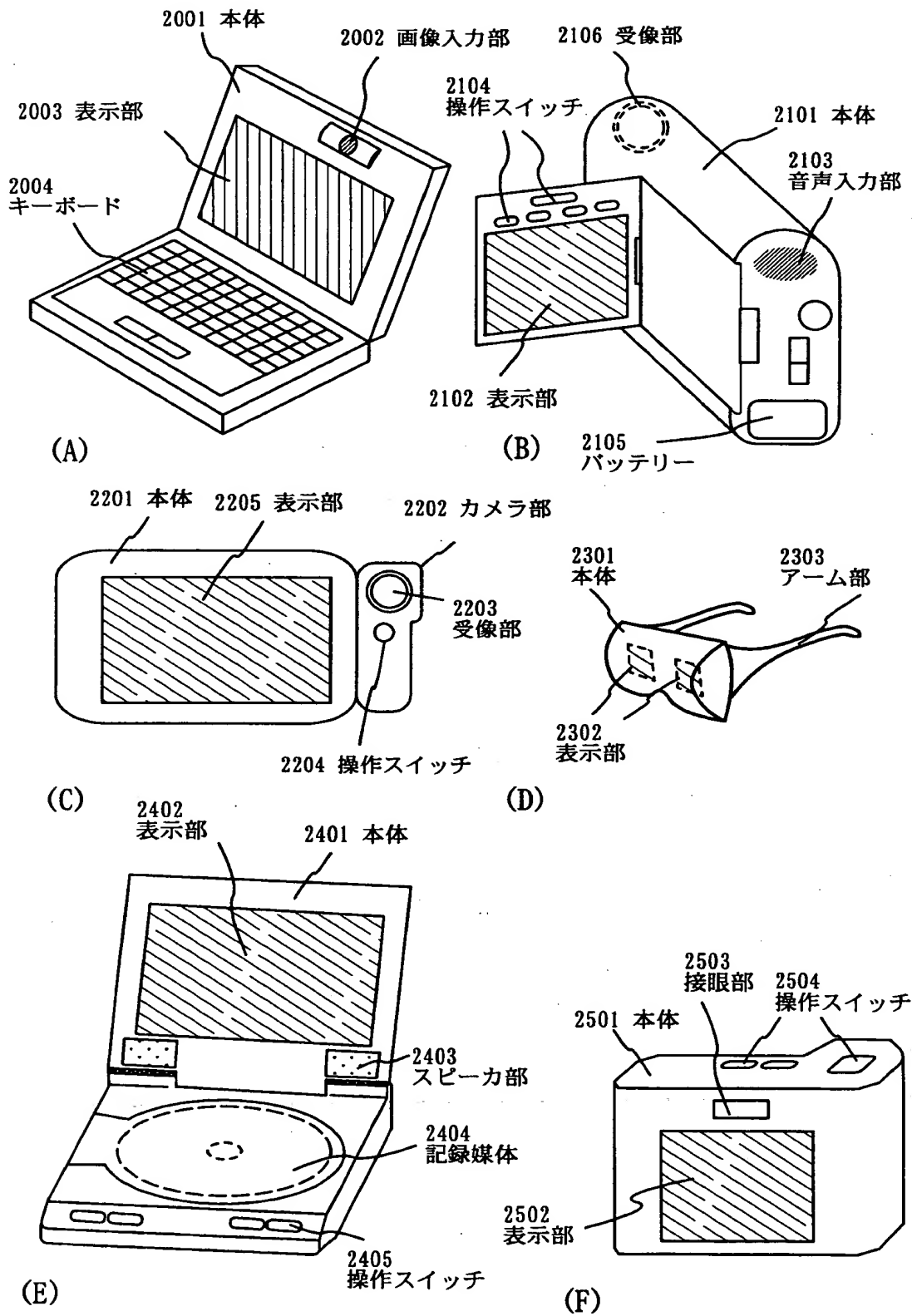


(A)

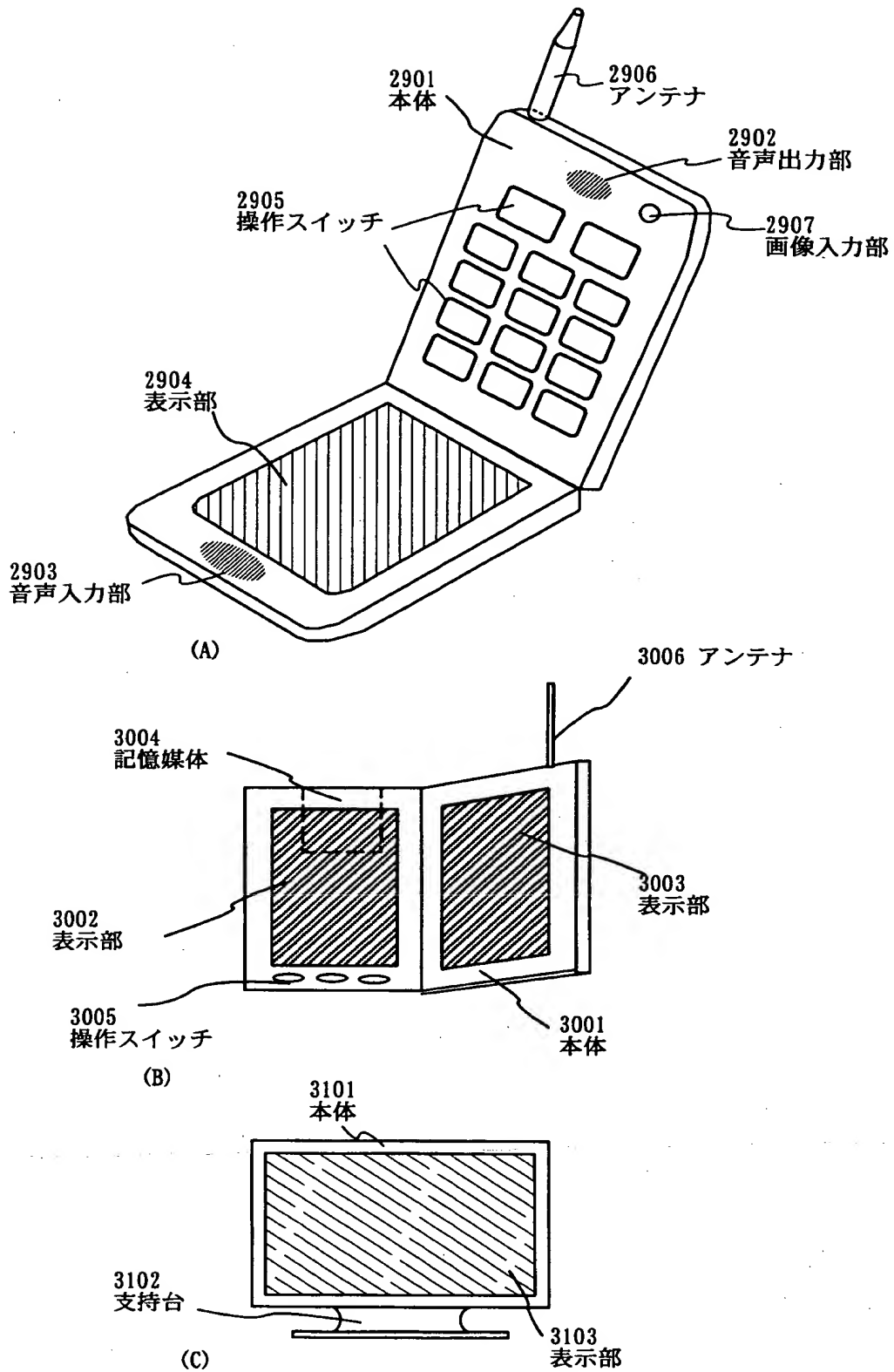


(B)

【図 14】

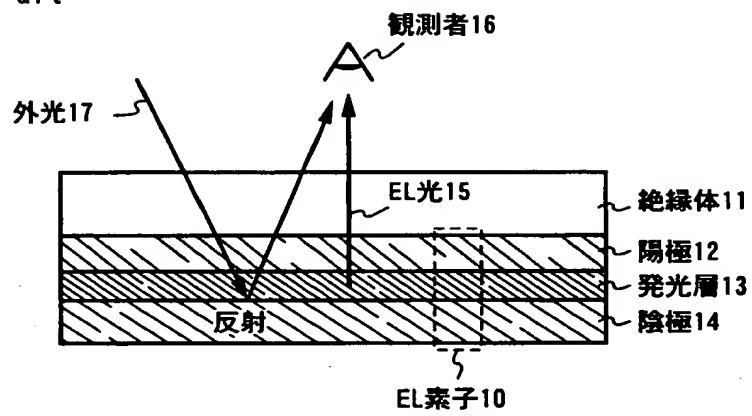


【図 15】



【図 1 6】

prior art



【書類名】 要約書

【要約】

【課題】 フレキシブルなフィルム上に発光素子を形成して軽量化して安価な E L 発光装置を提供することを課題とする。

【解決手段】

本発明は、素子形成基板として厚さの薄い金属基板 1 0 2 を用い、該金属基板 1 0 2 の端部を曲げて、端部に曲率を持っている基板ホルダー 1 0 1 に密着性よく真空中で貼りつける。そして、薄い金属基板 1 0 2 上に発光素子を形成した後、基板 1 0 1 ホルダーを分離する。

【選択図】 図 1



特2000-236881

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日
[変更理由] 新規登録
住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所